

#2 1-23-02
Mullen

11002 U.S. PTO
09/924787
08/08/01



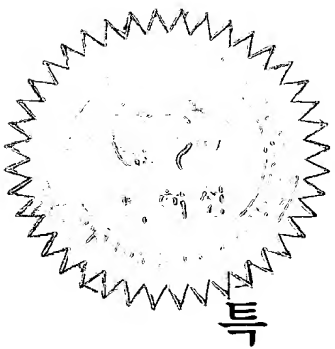
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원번호 : 특허출원 2000년 제 46613 호
Application Number

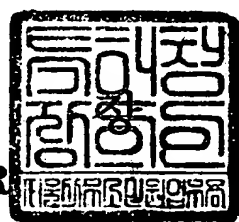
출원년월일 : 2000년 08월 11일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)



2001 01 22
년 월 일

특허청
COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2000.08.11
【국제특허분류】	H01L
【발명의 명칭】	바디효과를 제거하기 위한 개선된 바디접촉창을 포함하는 S O I 전계효과트랜지스터
【발명의 영문명칭】	A SOI MOSFET including approved body contact for removing body effect
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	김은한
【성명의 영문표기】	KIM,Eun Han
【주민등록번호】	641110-1722316
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 1053-2 황골마을 풍림아파트 235-1
【국적】	KR

【발명자】**【성명의 국문표기】**

김준

【성명의 영문표기】

KIM, Jun

【주민등록번호】

730221-1650611

【우편번호】

135-260

【주소】

서울특별시 강남구 포이동 243-10 원빌라 B 동 304호

【국적】

KR

【취지】특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 이영

필 (인) 대리인

정상빈 (인) 대리인

이래호 (인)

【수수료】**【기본출원료】**

12 면 29,000 원

【가산출원료】

0 면 0 원

【우선권주장료】

0 건 0 원

【심사청구료】

0 항 0 원

【합계】

29,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

SOI 전계효과트랜지스터의 P-(P minus) 바디에 전원을 공급하기 위한 메탈 라우팅의 추가가 없고, 접촉부분 커패시턴스로 인한 회로의 이상동작도 예방할 수 있는 개선된 바디접촉창(body contact)을 포함하는 SOI 전계효과트랜지스터가 개시된다. 상기 SOI 전계효과트랜지스터는 MOS(Metal Oxide Silicon)구조를 가지는 SOI 전계효과트랜지스터와 상기 SOI 전계효과트랜지스터의 바디에 전원을 공급하기 위한 바디접촉창을 포함하는 바디접촉부를 구비한다. 상기 SOI 전계효과트랜지스터에서 트랜지스터는, 반도체 기판, 상기 반도체 기판 위의 누설전류를 방지하는 매몰된 산화막층, 상기 매몰된 산화막층 위의 트랜지스터 활성영역을 이루는 바디, 상기 바디 위의 게이트 산화막 및 상기 게이트 산화막 위의 게이트를 구비한다. 상기 SOI 전계효과트랜지스터에서 개선된 바디접촉부는, 상기 바디를 둘러싸는 격리영역, 상기 격리영역과 상기 바디와 매몰된 산화층을 관통하도록 트렌치를 만들고 상기 바디와 상기 반도체 기판의 전기적 연결을 위해 상기 트렌치에 도전보충물(conductive supplement)을 채운 바디접촉창, 상기 바디접촉창의 하부에 위치하여 옴릭(Ohmic) 접촉을 위한 반도체 기판의 P+형 영역을 구비한다.

【대표도】

도 5

【명세서】

【발명의 명칭】

바디효과를 제거하기 위한 개선된 바디접촉창을 포함하는 S O I 전계효과트랜지스터
 {A SOI MOSFET including approved body contact for removing body effect}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 트랜치 방법에 의한 바디접촉창을 나타내는 SOI 전계효과트랜지스터의 평면도

도 2는 도 1의 SOI 전계효과트랜지스터의 X- { X }^{'} 방향으로의 수직 단면도

도 3은 도 1의 SOI 전계효과트랜지스터의 Y- { Y }^{'} 방향으로의 수직 단면도

도 4는 본 발명의 실시예에 따라 개선된 바디접촉창을 포함하는 SOI 전계효과트랜지스터를 나타내는 평면도

도 5는 4도의 SOI 전계효과트랜지스터의 X- { X }^{'} 방향으로의 단면도

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<7> 본 발명은 반도체 제조공정에 관한 것으로, 특히 절연막위에 형성시킨 실리콘(Silicon On Insulator) 모스 전계효과트랜지스터(이하 SOI 전계효과트랜지스터)의 바디접촉창(body contact)에 관한 것이다.

- <8> 상기한 바디접촉창은 트랜지스터의 바디효과(body effect)를 없애 주기 위한 방법이다. 바디효과는 회로가 동작할 때 트랜지스터의 바디가 일정한 전압 값을 갖지 못함으로 인해 트랜지스터의 문턱전압(Threshold Voltage)이 달라지게 되는 현상이다. 특히 모스 아날로그 기술분야에서는 중요하게 다루어진다. 모스 아날로그회로의 설계에서 이것을 극복하려 하는 경우, 회로 설계자는 트랜지스터의 바디 부분을 전기적으로 일정한 값을 갖는 노드와 연결한다. 대부분의 디지털 회로에서는 바디의 타입에 따라 동작전원의 가장 낮은 전원 또는 가장 높은 전원을 트랜지스터의 바디에 연결한다. SOI 전계효과 트랜지스터를 제조하는 경우에도 트랜지스터의 바디를 일정한 전기적 상태에 있게 하여야 바디효과가 제거될 수 있다.
- <9> 이하, 첨부한 도면을 참조하여 종래의 실시예를 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.
- <10> 도 1은 종래의 트렌치(trench) 방법에 의한 바디접촉창을 포함하는 SOI 전계효과 트랜지스터의 평면도이다.
- <11> 도 1을 참조하면, 종래의 SOI 전계효과트랜지스터는, 가장 외부에서부터 중심방향으로 외부트렌치 격리링(Trench Isolation Ring)(11), 상기 외부트렌치 격리링 안쪽에 P+(P plus) 영역으로 이루어진 바디 전원공급링(12), 주위의 다른 활성영역(Active Region)과 격리시키는 부분트렌치 격리링(13), 트랜지스터의 드레인을 이루는 활성영역(14), 트랜지스터의 소오스를 이루는 활성영역(15), 상기 소오스와 상기 드레인사이의 게이트(16), 상기 전원공급링(12)과 전원 메탈을 연결시키기 위한 접촉창(17) 및 상기 트랜지스터와 상관없는 주위의 또 다른 활성영역(19)을 구비한다.
- <12> 도 2는 도 1의 SOI 전계효과트랜지스터구조의 X- { X }^{ ' } 방향으로의 수직 단면

도이다.

<13> 도 2를 참조하면, 종래의 SOI 전계효과트랜지스터의 X- { X }^{'} } 방향으로의 수직 단면도는, 가장 밑에 P-형 반도체 기판(20), 상기의 반도체 기판 위의 매몰된 산화막층(21), 상기의 매몰된 산화막층 위의 P-바디(14, 15), 상기의 P- 바디 양쪽의 부분트랜치 격리링(13), 상기의 부분트랜치 격리링 옆의 P+형으로 이루어진 바디 전원공급링(12), 상기의 바디 전원공급링 옆의 외부트랜치 격리링(11), 상기의 P- 바디 위의 게이트 산화막(18), 상기의 게이트 산화막 위의 게이트(16) 및 상기의 SOI 전계효과트랜지스터와 상 관없는 주위의 또 다른 활성영역(19)을 수직적으로 나타낸다.

<14> 도 3은 도 1의 SOI 전계효과트랜지스터구조의 Y- { Y }^{'} } 방향으로의 수직 단면도 이다.

<15> 도 3에 도시된 SOI 전계효과트랜지스터의 Y- { Y }^{'} } 방향으로의 수직 단면도는, 가장 밑에 P-형 반도체 기판(20), 상기 P-형 반도체 기판 위의 매몰된 산화막층(21), 상 기 매몰된 산화막층 위의 드레인(14), 상기 매몰된 산화막 위의 소오스(15), 상기 드레 인과 상기 소오스 사이의 게이트(16), 상기 게이트 바로 밑의 게이트 산화막(18), 상기 소오스 옆의 부분트랜치 격리링(13), 상기 부분트랜치 격리링 옆의 바디에 전원을 공급 하기 위한 P+영역인 바디 전원공급링(12) 및 외부 트랜치 격리링(11)과 상기 부분트랜치 밑의 P-영역(22)를 나타낸다.

<16> 그러나 도 1, 도 2 및 도3에서의 도면을 통한 SOI 전계효과트랜지스터는 바디접촉 창(12)인 P+영역과 트랜지스터의 바디(14, 15)인 P-영역의 접촉부분(100, 110)에서 커패 시턴스(Fringe capacitance)가 존재하게 된다. 이 커패시턴스는 트랜지스터의 성능 특히 회로의 동작속도, 동작 주파수에 제한을 가할 수 있다. 또한 바디에는 전원(예를 들면,

Ground 전압)을 인가해야 하는데, 메탈라우팅이 항상 용이하지도 않고 레이아웃측면에서도 많은 면적을 차지하는 원인이 된다.

【발명이 이루고자 하는 기술적 과제】

<17> 따라서 본 발명이 이루고자 하는 기술적 과제는, 트랜지스터의 속도를 저하시키는 접촉부의 커패시턴스가 없고 바디에 전원을 공급하기 위한 추가 메탈라우팅이 없으면서도 바디효과를 감소시킬 수 있는 트랜지스터 구조를 제공하는 데 있다.

【발명의 구성 및 작용】

<18> 상기 기술적 과제를 달성하기 위한 본 발명의 예에 따르면, 본 발명인 SOI 전계효과 트랜지스터는, 모스트랜지스터와 상기 모스트랜지스터의 바디에 전원을 공급하기 위한 개선된 바디접촉부를 구비한다.

<19> 상기 모스트랜지스터는 일반적으로 반도체 기판, 상기 반도체 기판 위의 매몰된 산화막층, 상기 매몰된 산화막층 위의 트랜지스터 활성영역을 이루는 바디, 상기 바디 위의 게이트 산화막 및 상기 게이트 산화막 위의 게이트를 구비한다.

<20> 상기 개선된 바디접촉부는 상기 바디를 둘러싸는 격리영역, 상기 격리영역과 상기 바디 및 매몰된 산화층을 관통하게 트렌치를 만들고 상기 바디와 상기 반도체 기판의 전기적 연결을 위해 상기 트렌치에 도전보충물을 채운 바디접촉창 및 상기 바디 접촉창의 하부에 있어 오믹 접촉을 위한 반도체 기판의 P+형 영역을 구비한다.

<21> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 좀더 자세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

- <22> 도 4는 본 발명의 실시예에 따른 개선된 바디접촉창을 포함하는 SOI 전계효과트랜지스터의 평면도이다.
- <23> 도 4를 참조하면, 본 발명의 개선된 바디접촉창을 포함하는 SOI 전계효과트랜지스터는, 모스트랜지스터의 게이트(46), 모스트랜지스터의 소오스(45), 모스트랜지스터의 드레인(44), 외부격리영역(41), 상기 외부격리영역 중에서 선택된 부분트렌치(441) 및 모스트랜지스터의 소오스(45)와 드레인(44)으로 나뉘어지는 바디를 P- 반도체 기판과 직접 연결 시키기 위하여 부분트렌치(441)내부에 형성시킨 접촉창(442)을 구비한다. 여기서 외각영역(49)은 상기 트랜지스터와 상관없는 외부활성영역을 나타낸다.
- <24> 도 5는 도 4에 도시된 SOI 전계효과트랜지스터의 X- { X }^{' } 방향으로의 수직 단면도이다.
- <25> 도 5를 참조하면, SOI 전계효과트랜지스터의 X- { X }^{' } 단면은, 가장 밑에 P- 반도체 기판(50), 상기 P- 반도체 기판 위의 매몰된 산화막층(51), 상기 매몰된 산화막층 위의 P- 바디(44, 45), 상기 P- 바디 옆의 외부격리영역(41), 상기 P- 바디 위의 게이트 산화막(48), 상기 게이트 산화막 위의 게이트(46), 상기 P- 바디의 다른 쪽 옆에 형성된 내부의 부분트렌치(441), 상기 부분트렌치의 접촉창(442), 상기 P- 바디와 상기 P- 기판을 연결할 때 오믹 접촉상태를 만들기 위해 형성된 P+영역(443), 상기 바디 접촉창을 이루는 트렌치의 표면에 도포되는 메탈(446), 상기 메탈 위에 형성되는 텅스텐(444) 및 상기 P- 바디와 상기 P+ 기판이 연결되는 영역(445)을 나타낸다. 여기서 외각영역(49)은 상기 트랜지스터와 상관없는 외부활성영역을 나타낸다.
- <26> 이하 도 4를 참조하여 본 발명의 실시예에 따른 개선된 바디접촉창을 포함하는 SOI 전계효과트랜지스터를 좀더 자세히 설명한다. 상기 SOI 전계효과트랜지스터를 엔모스 트

랜지스터로 가정하였을 때 P- 기판으로 표현되는 반도체 기판(50)은 동작전원 중 낮은 전원, 예를 들면 0V(ground)로 연결된다.

<27> 먼저 부분트렌치(441) 영역 내에서 접촉창(442)으로 사용할 부분을 선택하여 반도체 기판(50)까지 이르도록 깊은 트렌치를 만든다. 그 다음 반도체 기판에 불순물을 투입하여 P+영역(443)을 형성한다. 상기 접촉창(442)에 메탈(446)을 도포하여 P- 바디(44, 45)와 반도체 기판(50)이 전기적으로 연결되게 한다. 전기 전도도를 좋게 하기 위하여 메탈을 도포하고 남은 빈곳은 텅스텐(444)을 채운다. 이렇게 하여 P- 바디(44, 45)는 ground로 연결되고, 바디 효과는 발생하지 않게 된다.

<28> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<29> 상술한 바와 같이 본 발명에 따른 개선된 바디 접촉창 구조는, 바디에 전원을 공급하기 위한 메탈 라우팅의 추가도 없고 접촉부분 커패시턴스로 인한 회로의 이상동작도 예방할 수 있는 장점이 있다.

【특허청구범위】**【청구항 1】**

반도체 기판;

상기 반도체기판 위의 매몰된 산화막층;

상기 매몰된 산화막층 위의 트랜지스터의 활성영역을 이루는 바디;

상기 바디 위의 게이트 산화막;

상기 게이트 산화막 위의 게이트;

상기 바디를 둘러싸는 격리영역;

상기 격리영역, 상기 바디 및 상기 매몰된 산화막층을 관통하도록 트렌치를 만들고, 상기 바디와 상기 반도체 기판의 전기적 연결을 위해 상기 트렌치에 도전보충물을 채운 바디 접촉창; 및

상기 바디 접촉창의 하부에 위치하고 있어 오믹 접촉을 위한 반도체 기판의 P+형 영역을 포함하는 것을 특징으로 하는 SOI 전계효과트랜지스터.

【청구항 2】

제 1항에 있어서, 상기 게이트는,

사용재질이 메탈 또는 폴리실리콘인 것을 특징으로 하는 SOI 전계효과트랜지스터.

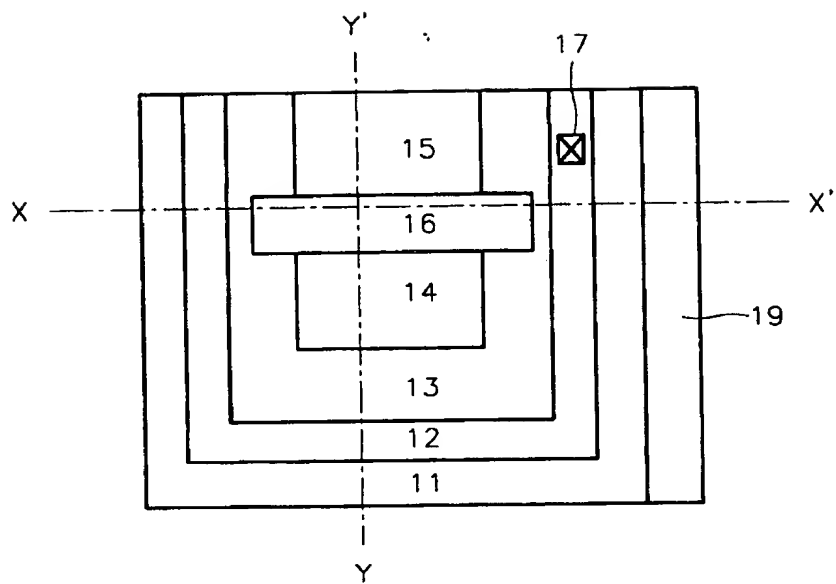
【청구항 3】

제 1항에 있어서, 상기 도전보충물은,

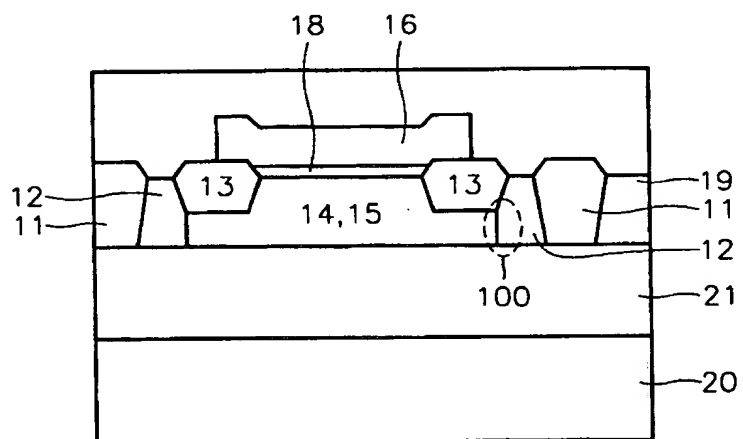
접촉창면에 도포되는 메탈과, 상기 메탈 위에 형성되는 텅스텐을 포함하는 것을 특징으로 하는 SOI 전계효과트랜지스터.

【도면】

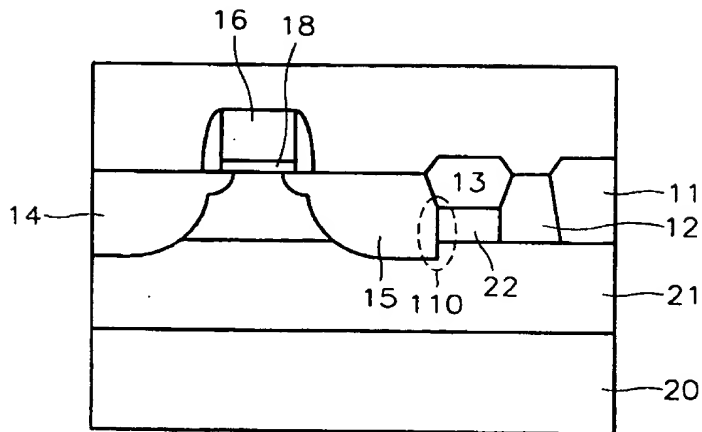
【도 1】



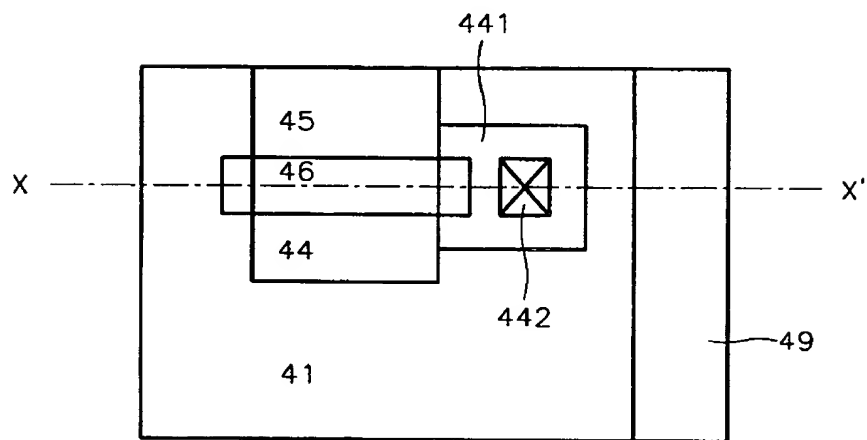
【도 2】



【도 3】



【도 4】



【도 5】

